

A23

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 010008415 A
(43)Date of publication of application: 05.02.2001

(21)Application number:	980062468	(71)Applicant:	HYNIX SEMICONDUCTOR INC.
(22)Date of filing:	30.12.1998	(72)Inventor:	LEE, GI JEONG
(51)Int. Cl	H01L 27/04 H01L 27/108		

(54) METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a capacitor is provided to guarantee a sufficient capacitance by using an alumina thin film as a dielectric layer wherein the alumina thin film has a high permittivity and a perovskite structure.

CONSTITUTION: A storage electrode(17) connected to a reserved portion of a semiconductor substrate (11) is formed. A surface nitrification is performed regarding the storage electrode to form a surface nitride layer(19). An alumina thin film(21) as a dielectric layer is formed on the surface nitride layer by two-step evaporation processes. A plate electrode (23) is formed on the dielectric layer.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20000307)
Notification date of refusal decision (20020807)
Final disposal of an application (rejection)
Date of final disposal of an application (20020807)
Patent registration number (1003711420000)
Date of registration (20030122)
Number of trial against decision to refuse (2002101003444)
Date of requesting trial against decision to refuse (20020906)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[°]

H01L 27/04

H01L 27/108

(11) 공개번호 특2001-0008415

(43) 공개일자 2001년02월05일

(21) 출원번호 10-1998-0062468

(22) 출원일자 1998년12월30일

(71) 출원인 현대전자산업 주식회사 김영환

(72) 발명자 경기 이천시 부발읍 아미리 산136-1

이기정

(74) 대리인 서울특별시 송파구 석촌동 270-2호

박대진, 이은경, 정은섭

심사청구 : 있음

(54) 반도체 소자의 캐패시터 형성방법

요약

본 발명은 반도체 소자의 캐패시터 형성방법에 관한 것으로, 저장전극 콘택홀을 통하여 반도체 기판상에 접속되는 저장전극을 형성하고 그 표면상부를 질화처리하여 표면에 유전율을 저하시키는 산화막의 형성을 방지한 다음, 그 상부에 전기적 기계적 강도가 우수한 페로브스카이트(perovskite)구조를 갖는 알루미늄(Al₂O₃)을 유전체막으로 형성하고 후속공정으로 플레이트전극을 형성함으로써 반도체 소자의 고 집적화에 충분한 정전용량을 갖는 캐패시터를 형성하여 반도체 소자의 고집적화를 가능하게 하는 기술이다.

도표도

도2

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 반도체 소자의 캐패시터 형성방법을 나타낸 단면도.

도 2는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 형성방법을 나타낸 단면도.

도면의 주요부분에 대한 부호의 설명

11,31 : 반도체기판

13,33 : 하부절연층

15,35 : 콘택홀

17,37 : 저장전극

19,39 : 표면질화막

21 : 알루미늄 박막

23,43 : 플레이트전극

25,45 : 층간절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 형성방법에 관한 것으로, 특히 기존의 질화막/산화막 적층구조의 유전체막에 비하여 높은 유전율을 가지며 페로브스카이트(perovskite)구조(A¹⁺B⁶⁺O₃)를 갖고 있어 전기적, 기계적 강도가 우수한 알루미늄(Al₂O₃) 박막을 유전체막으로 사용하는 기술에 관한 것이다.

반도체 소자가 고집적화되어 셀 크기가 감소됨에 따라 저장전극의 표면적에 비례하는 정전용량을 충분히 확보하기가 어려워지고 있다.

특히, 단위셀이 하나의 MOS 트랜지스터와 캐패시터로 구성되는 디램 소자는 칩에서 많은 면적을 차지하는 캐패시터의 정전용량을 크게하면서, 면적을 줄이는 것이 디램 소자의 고집적화에 중요한 요인이 된다.

그래서, $(\epsilon_0 \times \epsilon_r \times A) / T$ (단, ϵ_0 는 진공유전율, ϵ_r 은 유전막의 유전율, A는 캐패시터의 면적 그리고 T는 유전막의 두께)로 표시되는 캐패시터의 정전용량 C를 증가시키기 위하여, 유전상수가 높은 물

질을 유전체막으로 사용하거나, 유전체막을 얇게 형성하거나 또는 저장전극의 표면적을 증가시키는 등의 방법을 사용하였다.

도 1은 종래기술에 따른 반도체 소자의 캐패시터 형성방법을 도시한 단면도로서, Ta_2O_5 박막을 유전체막으로 사용한 것을 도시한 것이다.

먼저, 반도체기판(31) 상부에 하부절연층(33)을 형성한다. 이때, 상기 하부절연층(33)은 도 1에 도시되지는 않았지만 소자분리절연막, 게이트산화막, 게이트전극 또는 비트라인을 형성하고, 비.피.에스.지.(BPSG : Boro Phospho Silicate Glass, 이하에서 BPSG 라 함)와 같이 플로우가 잘되는 절연물질로 형성한다.

그 다음에, 콘택마스크(도시안됨)를 이용한 식각공정으로 상기 반도체기판의 예정된 부분, 즉 불순물 확산영역을 노출시키는 콘택홀(35)을 형성한다.

그리고, 상기 콘택홀(35)을 통하여 상기 반도체기판의 예정된 부분에 접속되는 저장전극(37)을 형성한다.

그리고, 전체표면상부에 산화막(39)/질화막(41)의 적층구조로 유전체막을 형성한다.

그 다음에, 상기 유전체막 상부에 상부전극(45)인 플레이트전극을 형성한다.

그리고, 상기 캐패시터 상부에 층간절연막(45)을 형성하고 후속공정을 실시한다.

여기서, 상기 유전체막인 산화막(39)과 질화막(41)의 적층구조는 고집적화된 반도체 소자에 부적합하며 최근에는 Ta_2O_5 박막을 유전체막으로 사용하고 있다. 상기 Ta_2O_5 박막은 단차피복비가 우수한 LPCVD 방법을 주로 사용하여 증착한다.

그러나, 상기 Ta_2O_5 박막은 불안정한 화학양론비를 가지고 있기 때문에 Ta 와 O 의 조성비 차이에 기인한 치환형 Ta 원자가 박막 내에 존재할 수 밖에 없게 된다.

그리고, 박막 형성시 Ta_2O_5 박막의 전구체인 $Ta(OC_2H_5)_5$ 의 유기물과 O_2 또는 N_2O 가스의 반응으로 인해서 불순물인 탄소원자와 탄소화합물 및 물이 공존한다.

결국, Ta_2O_5 박막(41) 내에 불순물로 존재하는 탄소원자, 이온, 래디칼(radical)로 인하여 캐패시터의 누설전류가 증가하게 되고, 유전특성이 열화되는 문제점을 내포하고 있어 사실상 Ta_2O_5 박막을 사용하는 캐패시터를 적용하는데 큰 문제점이 있다.

상기한 바와같이 종래기술에 따른 반도체 소자의 캐패시터 형성방법은, 누설전류 및 유전 특성이 나쁘기 때문에 고집적화된 반도체 소자에 적용하기 어렵고 그에 따른 반도체 소자의 고집적화가 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 바와 같은 종래기술의 문제점을 해결하기 위하여, Ta_2O_5 박막보다 유전율은 작지만 상부전극 및 하부전극과 이루는 계면에서 산화반응을 1차결정화공정으로 억제할 수 있어, 등가산화막의 두께를 30Å 이하로 조절할 수 있으며 그로인하여 고집적화에 충분한 정전용량을 확보할 수 있게 되어 반도체 소자의 고집적화에 충분하고 기계적 전기적으로 안정된 캐패시터를 형성하는 반도체 소자의 캐패시터 형성방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따른 반도체 소자의 캐패시터 형성방법은, 반도체기판의 예정된 부분에 접속되는 저장전극을 형성하는 공정과, 저장전극을 표면질화처리하여 표면질화막을 형성하는 공정과, 표면질화막 상부에 이단계증착공정으로 유전체막인 알루미늄 박막을 형성하는 공정과, 유전체막 상부에 플레이트전극을 형성하는 공정을 포함하는 것을 특징으로 한다.

본 발명에 따른 반도체 소자의 캐패시터 형성방법은, NO 또는 ONO 구조보다 높은 유전율을 가지고, Ta_2O_5 박막보다는 낮은 유전율을 갖지만 상/하부전극과의 계면에서 일어나는 산화반응을 1차 결정화 단계를 통해 효과적으로 억제할 수 있기 때문에 등가산화막의 두께를 30Å 이하로 조절할 수 있어 오히려 더 큰 정전용량을 얻을 수 있으며, 페로브스카이트 구조를 가지며 공유결합을 이루고 있어 구조적으로 매우 안정한 알루미늄 박막을 유전체막으로 형성하는 것이다.

한편, Ta_2O_5 박막은 물질 자체의 불안정한 화학적 조성 때문에 박막 내부에 산소공공(oxygen vacancy)상태의 치환형 Ta 원자가 부분적으로 존재할 수 있다. 특히, 이같은 Ta_2O_5 박막의 산소공공의 수는 성분들의 함량과 결합정도에 따라 다소의 차이는 있을 수 있지만 완전하게 제거할 수 있는 방법이 없다.

게다가, Ta_2O_5 박막은 상/하부전극으로 사용하고 있는 다결정실리콘 또는 TiN 과의 산화반응성이 커 박막 내에 존재하는 산소가 계면으로 이동하여 저유전 산화층을 형성하거나 계면의 균질성을 떨어뜨린다.

그러나, 본 발명에서와 같이 알루미늄을 사용하면 이같은 문제점을 해결할 수 있다. 예컨대 알루미늄의 증착 초기에 20Å 미만의 비정질 알루미늄을 얇게 증착하고 어닐링 처리하여 일차적으로 단결정화시킨다. 그리고, 원하는 두께만큼 증착하면 단결정화된 얇은 박막이 산화제에 대한 확산장벽 역할을 하게되어 후속공정시 하부전극인 다결정실리콘과의 계면이 산화되는 것을 막아준다.

결국, 하부전극의 산화로 인한 저유전 산화막의 형성을 원천적으로 방지할 수 있기 때문에 캐패시터의 등가산화막 두께를 30Å 이하로 조절할 수 있다. 또한, 누설전류 수준을 낮추고 높은 정전용량을 얻기 위하여 NO 구조의 캐패시터처럼 자연산화막 제거공정과, ONO 구조의 캐패시터처럼 전,후세정공정이 필요없으

며, Ta_2O_5 박막을 사용하는 캐패시터처럼 비정질 Ta_2O_5 박막 증착과정을 통하여 인시튜(in-situ)나 엑시튜(ex-situ)의 플라즈마 어닐링공정이나 엑시튜의 UV 오존 어닐링 공정과 같은 저온 열처리공정이 필요하다.

다시말하면, Ta_2O_5 박막 고유의 불안정한 화학양론비를 안정화시켜 누설전류를 방지하려는 목적으로 박막 내에 잔존하는 치환형 Ta 원자를 산화시키려는 별도의 산화공정이 필요 없다.

그리고, 고온 열처리를 통해 단결정화를 유도하여 결합력을 강화시키면 박막의 물리화학적 특성 열화를 방지할 수 있을 뿐만 아니라, 단결정화된 알루미늄 박막이 상대적으로 비정질 박막보다 높은 유전율을 얻을 수 있기 때문에 전기적 특성이 개선된 양질의 알루미늄 캐패시터를 얻을 수 있다.

한편, 알루미늄 단결정으로 캐패시터를 형성했을때에는 물질 자체가 갖는 우수한 전기적 강도 때문에 누설전류의 수준이 Ta_2O_5 박막을 사용하는 캐패시터에 비하여 상대적으로 낮아지게 된다.

특히 상부전극으로 TiN을 사용하게 되면 Ta_2O_5 박막의 불안정한 화학양론비 때문에 생기는 치환형 Ta 원자와 탄소화합물로 인하여 누설전류의 수준이 높고 절연파괴전압이 낮아지는 Ta_2O_5 박막의 문제점을 개선할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명하기로 한다.

도 2 는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 형성방법을 도시한 단면도이다.

먼저, 도면에 도시하지는 않았지만 소자분리절연막, 게이트산화막, 게이트전극 또는 비트라인이 형성되고, BPSG를 증착하여 반도체 기판(11) 상부에 하부절연층(13)을 형성한다.

그 다음에, 콘택마스크(도시안됨)를 이용한 식각공정으로 상기 반도체기판의 예정된 부분, 즉 불순물 확산영역을 노출시키는 저장전극 콘택홀(15)을 형성한다.

그리고, 상기 콘택홀(15)을 통하여 상기 반도체기판의 예정된 부분에 접속되는 하부전극(17)을 형성한다.

이때, 상기 하부전극(17)은 실리콘, 전도성 산화막이나 금속으로 형성할 수 있다. 여기서, LPCVD 챔버 내에서 다결정실리콘을 사용하여 형성한다.

그 다음에, 상기 하부전극(17) 상부 표면을 질화시켜 표면질화막(19)을 형성하되, 인시튜 공정으로 200~600℃의 온도에서 플라즈마를 이용하여 질소가 함유된 가스 분위기, NH_3 , N_2/O_2 또는 N_2O 분위기에서 표면을 질화시켜 형성하거나, 인시튜로 750~950℃의 온도, 암모니아가스분위기에서 30초~30분 동안 RTN(rapid thermal nitridation)처리하여 형성한다. 이로인하여, 후속공정으로 형성되는 알루미늄 박막의 증착공정시 저유전율을 갖는 산화막의 유발을 방지한다.

여기서, 상기 표면질화공정은, 인시튜 공정으로 플라즈마를 이용하여 200~600℃ 온도에서 암모니아 가스 분위기에서 어닐링하여 처리할 수도 있다.

그리고, 상기 표면질화공정은, 암모니아 가스분위기에서의 RTN 공정이나 플라즈마를 이용한 저온 열처리 공정을 엑시튜로 실시할 수도 있다.

그리고, 상기 인시튜 플라즈마를 이용하여 일차적으로 암모니아 가스분위기에서 표면질화처리하거나, NO_2 또는 O_2 가스 분위기에서 저온 열처리하여 덩글링 본드(dangling bond)에 기인한 구조적 결함 내지는 구조적 불균일성을 개선하여 누설전류 특성을 향상시킨다.

한편, 상기 표면질화처리공정으로 표면질화막(19)을 형성하는 대신에 세정공정을 실시하고 후속공정을 연속적으로 실시할 수도 있다.

이때, 상기 세정공정은 인시튜 또는 엑시튜로 HF 증기(vapor)나 HF 용액을 이용하여 자연산화막을 제거할 수 있다.

그리고, 상기 HF 용액을 이용하여 저장전극을 표면처리하는 공정은 HF 표면처리 전, 후에 계면을 세정하거나 균일성을 향상시킬 목적으로 NH_4OH 용액이나 H_2SO_4 용액을 이용할 수도 있다. 상기 세정공정후에 실리콘질화막(도시안됨)을 10 Å 미만으로 증착하고 시간지연없이 후속공정을 실시할 수도 있다.

그 다음에, 상기 표면질화막(19) 상부에 표면화학반응(surface chemical reaction)을 이용하여 비정질 형태의 알루미늄 박막(21)을 형성한다.

이때, 상기 알루미늄 박막(21)은 200~600℃ 온도의 LPCVD 챔버 내부에서 일차적으로 비정질상태의 알루미늄박막을 20 Å 미만의 두께로 증착하고 RTP(rapid thermal process) 공정을 이용하여 750~950℃ 온도의 N_2O 또는 N_2 가스 분위기에서 30~600초 정도 어닐링시켜 결정화시킴으로써 유전율을 향상시키고, 그 상부에 이차적으로 비정질의 알루미늄 박막을 증착을 필요한 두께 만큼 증착한 다음, RTP를 이용하여 750~950℃ 온도의 N_2O 또는 N_2 가스 분위기에서 30~600 초 정도 어닐링시켜 결정화시킴으로써 유전율을 향상시켜 형성한다.

여기서, 알루미늄 박막을 증착하기 위한 알루미늄성분의 화학증기는 MFC(mass flow controller)와 같은 유량 조절기를 통해 증발기(evaporizer) 또는 증발관(evaporation tube)으로부터 공급된 일정량의 $Al(OC_2H_5)_3$ 용액을 150~300℃ 온도에서 증발시켜 얻는다.

한편, 일차적으로 형성하는 상기 알루미늄 박막은, 후속 알루미늄 박막 증착공정이나 후속 열공정에서 산소와 같은 산화제가 저장전극 쪽으로 확산하지 못하도록 확산장벽층으로 형성한 것이다.

그리고, 상기 RTP 공정 대신 전기로(furnace)를 이용하여 750~950℃ 온도, N_2O 또는 N_2 가스 분위기에서

10~30 분 정도 어닐링시켜 결정화시킴으로써 유전율을 향상시킬 수도 있다.

또한, 상기 알루미늄 박막(21)의 결합력을 강화시키고 유전율을 상승시킬 목적으로 전기로를 이용하여 750~950℃ 온도, N₂O 가스 분위기에서 10~60 분 정도 어닐링시켜 결정화시킴으로써 유전율을 향상시킬 수도 있다.

그 다음에, 유전체막인 상기 알루미늄 박막(21) 상부에 플레이트전극(23)을 형성한다. 이때, 상기 플레이트 전극(23)은 상기 저장전극(17)과 같은 물질로 형성한다.

그리고, 전체표면상부에 층간절연막(25)을 형성하고 후속공정을 실시하여 반도체 소자를 형성한다.

한편, 상기 알루미늄 박막(21)을 증착하는 LPCVD 방법은 보편적으로 알려진 다른 증착방법을 이용하여 형성할 수도 있다.

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 반도체 소자의 캐패시터 형성방법은, 이단계 증착방법으로 형성하여 박막의 구조적 특성이 우수하고, 기계적, 전기적 특성이 우수한 알루미늄 박막을 형성하되, 후속 공정으로 형성되는 등가산화막을 30Å 이하의 크기로 조절 가능하게 하여 유전율이 높은 알루미늄 박막을 형성함으로써 반도체 소자의 고집적화에 충분한 정전용량을 확보할 수 있도록 하며 그에 따른 반도체 소자의 특성 및 신뢰성을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1. 반도체기판의 예정된 부분에 접속되는 저장전극을 형성하는 단계;

상기 저장전극을 표면질화처리하여 표면질화막을 형성하는 단계;

상기 표면질화막 상부에 이단계증착공정으로 유전체막인 알루미늄 박막을 형성하는 단계; 및

상기 유전체막 상부에 플레이트전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 2. 제 1 항에 있어서,

상기 표면질화막은 인시튜 또는 엑시튜 공정으로 200~600℃의 저온에서 플라즈마를 이용하여 NH₃, N₂O, 또는 N₂O 분위기에서 표면처리하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 3. 제 1 항에 있어서,

상기 표면질화막은 인시튜 또는 엑시튜 공정으로 750~950℃의 온도, NH₃, N₂O, 또는 N₂O 분위기에서 RTP 또는 전기로를 이용하여 30초~30 분 동안 표면처리하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 4. 제 1 항에 있어서,

상기 표면질화막 형성 공정 대신 세정공정을 실시하고 후속공정을 연속적으로 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 5. 제 4 항에 있어서,

상기 세정공정전후에 NH₄OH 또는 H₂SO₄ 용액을 이용하여 실리콘질화막을 10Å 미만으로 증착하고 시간지연 없이 후속공정을 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 6. 제 4 항 또는 제 5 항에 있어서,

상기 세정공정은 인시튜 또는 엑시튜로 HF 증기나 HF 용액을 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 7. 제 1 항에 있어서,

상기 알루미늄 박막은 일차적으로 비정질상태의 알루미늄박막을 증착하고 RTP로 어닐링시켜 결정화시킴으로써 유전율을 향상시키고, 그 상부에 이차적으로 비정질의 알루미늄 박막을 증착한 다음, RTP로 어닐링시켜 결정화시키는 이단계 증착공정으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 8. 제 7 항에 있어서,

상기 일차 비정질 알루미늄 박막은 200~600℃ 온도의 LPCVD 챔버 내부에서 20Å 미만의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 9. 제 7 항에 있어서,

상기 RTP 공정은 750~950℃ 온도의 N₂O 또는 N₂ 가스 분위기에서 30~600 초 정도 어닐링시켜 알루미늄 박막을 결정화시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 10. 제 7 항에 있어서,

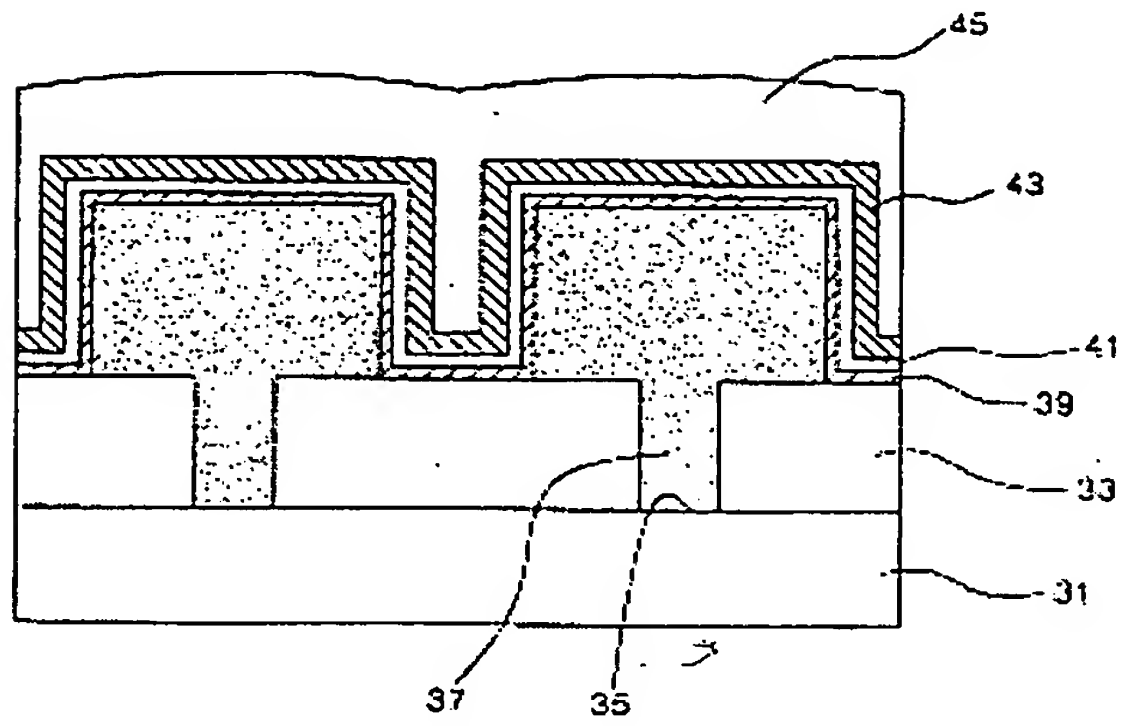
상기 RTP 공정 대신 전기로(furnace)를 이용하여 750~950℃ 온도, N₂O 또는 N₂ 가스 분위기에서 10~30 분 정도 어닐링시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 11. 제 7 항에 있어서,

상기 알루미늄 박막을 증착하기 위한 알루미늄성분의 화학증기는 유량 조절기를 통해 증발기 또는 증발관으로부터 공급된 일정량의 $Al(OC_2H_5)_3$ 용액을 150~300℃ 온도에서 증발시켜 얻는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

도면

도면1



도면2

